

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-143115

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 08-299110

(71)Applicant : SHARP CORP

(22)Date of filing : 11.11.1996

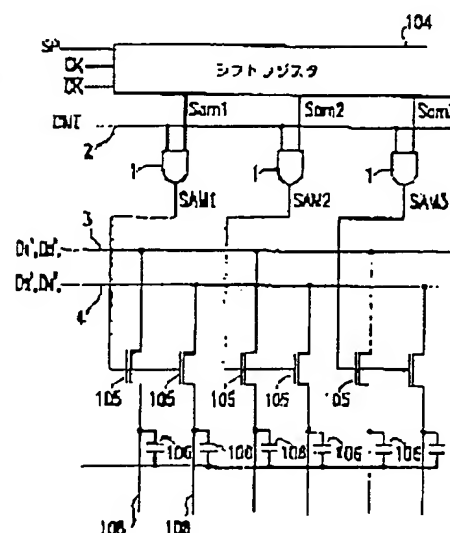
(72)Inventor : SASAKI OSAMU  
YONEDA YUTAKA

### (54) ACTIVE MATRIX IMAGE DISPLAY DEVICE

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an active matrix image display device capable of adjusting the time interval between respective sampling signals and making density and resolution of an image the same on both sides of a display picture.

**SOLUTION:** Plural pixels are arranged in matrix, and a video signal is distributed to respective bus lines 3, 4 to be transmitted, and the video signals on respective bus lines 3, 4 are read out successively through respective switching elements 105, and respective pixel data of these video signals are distributed to respective pixels. Respective on-periods are respective periods when the video signals are read out by respective switching elements 105. The more the data that a distance to be transmitted on respective bus lines 3, 4 is long among respective pixel data of the video signals, the more the on-period is made long, and respective pixel data are sampled surely. Further, when respective time intervals are inserted between respective on-periods, and the more the data that the transmission distance on respective bus lines 3, 4 is long, the more the time interval is made long, cross talk is reduced regardless of its transmission distance.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-143115

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.<sup>6</sup>  
 G 0 9 G 3/36  
 G 0 2 F 1/133  
 G 0 9 G 3/20

続列記号  
 5 5 0

F I  
 G 0 9 G 3/36  
 G 0 2 F 1/133  
 G 0 9 G 3/20

5 5 0  
 V

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21) 出願番号 特願平8-299110

(22) 出願日 平成8年(1996)11月11日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐々木 修

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 米田 裕

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

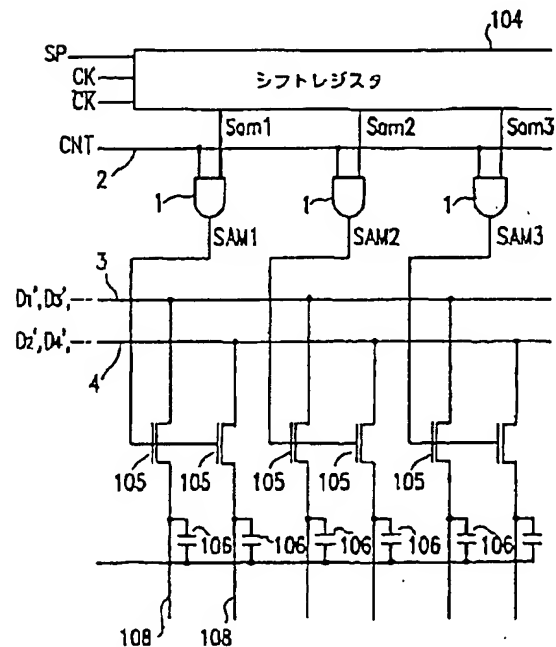
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス型画像表示装置

(57) 【要約】

【課題】 各サンプリング信号間の時間間隔を調整することができ、表示画面の両側で、画像の濃度や解像度が同一となるアクティブマトリクス型画像表示装置を提供する。

【解決手段】 複数の画素をマトリクス状に配列し、映像信号を各バスライン3、4に振り分けて伝送し、各バスライン3、4上の映像信号を各スイッチング素子105を通じて順次読み出し、この映像信号の各画素データを各画素に割り当てる。各オン期間は、各スイッチング素子105によって映像信号が読み出されるそれぞれの期間である。映像信号の各画素データのうちの各バスライン3、4上で伝送する距離が長いもの程、オン期間を長くして、各画素データのサンプリングを確実に行う。また、各オン期間の間に、各時間間隔を挿入し、各バスライン3、4上での伝送距離が長いもの程、時間間隔を長くすれば、その伝送距離にかかわらず、クロストークが低減される。



## 【特許請求の範囲】

【請求項1】 映像信号の各画素データをサンプリング信号に同期してサンプリングし、これらの画素データを各データバスラインに供給するアクティブマトリクス型画像表示装置において、サンプリング信号の各オン期間の間に時間間隔を設け、この時間間隔を外部からの制御信号に応じて制御するアクティブマトリクス型画像表示装置。

【請求項2】 サンプリング信号のオン期間は、複数種存在する請求項1に記載のアクティブマトリクス型画像表示装置。

【請求項3】 サンプリング信号のオン期間は、連続的に変化する請求項1又は2に記載のアクティブマトリクス型画像表示装置。

【請求項4】 サンプリング信号の各オン期間の間の時間間隔は、サンプリングされるまでの画素データの伝送距離が映像信号を供給する配線上で長かったもの程長くなる請求項1乃至3のうちのいずれかに記載のアクティブマトリクス型画像表示装置。

【請求項5】 サンプリング信号のオン期間は、映像信号の画素データの期間よりも短く、この画素データの期間の終了までに終了する請求項1乃至4のうちのいずれかに記載のアクティブマトリクス型画像表示装置。

【請求項6】 映像信号の各画素データをサンプリング信号に同期してサンプリングし、これらの画素データを各データバスラインに供給するアクティブマトリクス型画像表示装置において、映像信号の画素データの期間が複数種存在するアクティブマトリクス型画像表示装置。

【請求項7】 映像信号の画素データの期間は、連続的に変化する請求項6に記載のアクティブマトリクス型画像表示装置。

【請求項8】 映像信号の画素データの期間は、サンプリングされるまでの画素データの伝送距離が該映像信号を供給する配線上で長かったもの程長くなる請求項6又は7に記載のアクティブマトリクス型画像表示装置。

【請求項9】 サンプリング信号の各オン期間の間に時間間隔を設け、この時間間隔を外部からの制御信号に応じて制御する請求項6乃至8のうちのいずれかに記載のアクティブマトリクス型画像表示装置。

【請求項10】 サンプリング信号のオン期間は、映像信号の画素データの期間よりも短く、この画素データの終了までに終了する請求項6乃至9のうちのいずれかに記載のアクティブマトリクス型画像表示装置。

【請求項11】 映像信号の各画素データをサンプリング信号に同期してサンプリングし、これらの画素データを各データバスラインに供給するアクティブマトリクス型画像表示装置において、サンプリング信号のオン期間は、複数種存在するアクティブマトリクス型画像表示装置。

【請求項12】 サンプリング信号のオン期間は、連続的に変化する請求項11に記載のアクティブマトリクス型画像表示装置。

【請求項13】 サンプリング信号のオン期間は、サンプリングされるまでの画素データの伝送距離が映像信号を供給する配線上で長かったもの程長くなる請求項11又は12に記載のアクティブマトリクス型画像表示装置。

【請求項14】 サンプリング信号のオン期間は、映像信号の画素データの期間よりも短く、この画素データの終了までに終了する請求項11乃至13のうちのいずれかに記載のアクティブマトリクス型画像表示装置。

【請求項15】 サンプリング信号の各オン期間の間に時間間隔を設け、この時間間隔を外部からの制御信号に応じて制御する請求項11乃至14のうちのいずれかに記載のアクティブマトリクス型画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複数の画素をマトリクス状に配列し、これらの画素に映像信号を割り当てて伝送して、これらの画素を駆動し、これにより画像を表示するアクティブマトリクス型画像表示装置に関する。

## 【0002】

【従来の技術】この種のアクティブマトリクス型画像表示装置は、例えば図7に示す様なものであって、データバスライン駆動回路101、走査信号駆動回路102、及び表示部103等を備えている。

【0003】データバスライン駆動回路101は、シフトレジスタ104、各サンプリングスイッチング素子105、及び各サンプリングコンデンサ106等からなる。シフトレジスタ104は、クロック信号CK等を入力し、このクロック信号CKに同期して、図8に示す様な各サンプリング信号Sam1, Sam2, ……を各サンプリングスイッチング素子105に順次加える。また、共通バスライン107には、各走査毎に、図8に示す様な一走査分の映像信号が伝送される。各サンプリングスイッチング素子105は、各サンプリング信号Sam1, Sam2, ……を順次入力してオンとなり、共通バスライン107上の映像信号を順次取り込んで、この映像信号の各画素データD1, D2, ……を各データバスライン108に割り当てて送り出し、この映像信号の各画素データD1, D2, ……を各サンプリングコンデンサ106に書き込む。

【0004】一方、走査信号駆動回路102は、主にシフトレジスタから構成されており、各走査の度に、各ゲートバスライン109を順次選択し、選択したゲートバスライン109に走査信号を送出する。

【0005】表示部103では、各データバスライン108と各ゲートバスライン109が交差しており、それぞれの交差部位に、各画素111を設けて、これらの画

素111をマトリクス状に配し、これらの画素111毎に、薄膜トランジスタ（以下TFTと称する）112を設けている。これらの画素111のTFT112は、水平方向の各列に分けられ、各列毎に、一列の各TFT112のゲートを1つのゲートバスライン109に接続している。また、これらのTFT112のドレインには、画素電極と対向電極（図示せず）間の画素容量113、及び補助容量114を接続している。

【0006】走査信号駆動回路102は、1つのゲートバスライン109を介して水平方向1列の各TFT112をオンにし、各サンプリングコンデンサ106に先に書き込まれた映像信号の各画素データD1、D2、……を各TFT112の各容量113、114に順次転送して書き込む。

【0007】以上の動作は、各走査の度に繰り返され、これによってマトリクス状の全ての画素111に映像信号が割り当てられ、一画像が表示される。

【0008】この様に映像信号の各画素データを各画素に順次転送する方法を点順次方式と称しており、一走査の最初の方と最後の方では、画素の容量への書き込み時間が異なるという欠点がある。

【0009】図9は、従来のアクティブマトリクス型画像表示装置の他の例を示している。ここでは、図7に示す各サンプリングスイッチング素子105と表示部103の間に、各転送スイッチング素子121、各保持送コンデンサ122、及び各バッファ123を挿入している。

【0010】映像信号の各画素データD1、D2、……が各サンプリングコンデンサ106に書き込まれると、各転送スイッチング素子121は、転送信号Stを入力して、一斉にオンとなり、これによって各サンプリングコンデンサ106から各保持コンデンサ122へと映像信号の各画素データD1、D2、……が転送される。この映像信号の各画素データD1、D2、……は、各保持コンデンサ122から各バッファ123を介して水平方向1列の各画素に伝送される。

【0011】また、映像信号の各画素データD1、D2、……を各保持コンデンサ122から水平方向1列の各画素に伝送している間に、次の1走査線分の映像信号の各画素データを各サンプリングコンデンサ106に順次書き込んでいく。

【0012】この様に映像信号の各画素データD1、D2、……を各保持コンデンサ122に一旦蓄え、これらの保持コンデンサ122から各画素へと一斉に転送する方法を線順次方式と称しており、一走査の最初の方と最後の方のいずれでも、画素の容量への書き込み時間が同一となる。

【0013】ところで、近年、ハイビジョンやコンピュータ等の画像表示においては、画像の高解像度並びに高精度化が求められている。このためには、例えば上記各

従来例における各データバスライン108を増加させて、水平解像度を向上させる必要があるものの、これらのデータバスライン108の増加に伴って、各データバスライン108への各画素データの転送期間が不足すると言う問題点を生じた。

【0014】ここで、各データバスライン108の数（表示部の水平解像度）をLとし、1走査の時間をHとすると、各サンプリングスイッチング素子105がオンとなるそれぞれのオン期間Tonは、 $T_{on} = H/L$ となる。例えば、VGA表示を想定して、1走査を $30\mu S$ とし、各データバスラインの108の数を640本とすると、オン期間Tonは、 $T_{on} = H/L = 30\mu S / 640 = 46nS$ となる。なお、実際には、1走査の間、映像信号が間断無く存在しないので、オン期間Tonは、更に短くなる。

【0015】一方、サンプリングコンデンサ106の容量Cを $15pF$ とし、オンとなったサンプリングスイッチング素子105の抵抗Rを $1K\Omega$ とすると、映像信号をサンプリングコンデンサ106に書き込むための時間Tslは、時定数 $CR$ （ $15pF \times 1K\Omega = 15nS$ ）の5倍を少なくとも必要とするから、 $75nS$ 以上となる。

【0016】先に求めたサンプリングスイッチング素子105がオンとなるオン期間 $T_{on} = 46nS$ と、映像信号をサンプリングコンデンサ106に書き込むのに要する時間 $T_{sl} = 75nS$ を比較すると明らかな様に、 $T_{sl} > T_{on}$ であるから、映像信号をサンプリングコンデンサ106に書き込むための時間Tslが不足し、この映像信号の正確な転送が不可能となる。

【0017】この様な問題点を解決するために、例えば図10に示す様な表示装置が提案されている。ここでは、図7に示す共通バスライン107の代わりに、第1共通バスライン131と第2共通バスライン132を設け、各サンプリングスイッチング素子105を奇数番目と偶数番目で区別して、奇数番目の各サンプリングスイッチング素子105を第1共通バスライン131に接続すると共に、偶数番目の各サンプリングスイッチング素子105を第2共通バスライン132に接続している。また、隣接する奇数番目と偶数番目の2つのサンプリングスイッチング素子105を1組とし、各組毎に、奇数番目と偶数番目の2つのサンプリングスイッチング素子105にシフトレジスタ104からの同一のサンプリング信号を加えている。

【0018】1走査分の映像信号は、図11に示す様に奇数番目の各画素に割り当てられる各画素データD1'、D3'、……と、偶数番目の各画素に割り当てられる各画素データD2'、D4'、……に振り分けられて、第1及び第2共通バスライン131、132に伝送される。

【0019】各組の2つのサンプリングスイッチング素子105には、図11に示す様な各サンプリング信号Sa

$m1'$ 、 $Sam2'$ 、……を順次加え、各組毎に、2つのサンプリングスイッチング素子105をオンにして、第1及び第2共通バスライン131、132上の映像信号を2つのサンプリングコンデンサ106に同時に書き込む。

【0020】この様に映像信号を第1及び第2共通バスライン131、132に振り分けているので、この映像信号の各画素データ $D1'$ 、 $D2'$ 、 $D3'$ 、……は、図8に示す映像信号の各画素データ $D1$ 、 $D2$ 、……と比較すると、2倍の期間だけ、共通バスラインを占有することができる。このため、図11に示す様に各組の2つのサンプリングスイッチング素子105をオンとする各サンプリング信号 $Sam1'$ 、 $Sam2'$ 、……の長さを図8に示す各サンプリング信号 $Sam1$ 、 $Sam2$ 、……の2倍としている。

【0021】したがって、サンプリングスイッチング素子105をオンとするオン期間 $T_{on}$ は、 $46nS \times 2 = 92nS$ となって、映像信号をサンプリングコンデンサ106に書き込むのに要する時間 $T_{s1} = 75nS$ を越えるので、この映像信号をサンプリングコンデンサ106に確実に書き込むことができる。

【0022】また、各サンプリング信号 $Sam1'$ 、 $Sam2'$ 、……の周期が2倍であるから、出力端子の数が $1/2$ となり、シフトレジスタ104の負担が低減され、その回路構成を簡単化することができ、消費電力が低減する。

【0023】ところが、上記従来例のいずれにおいても、映像信号が各サンプリングコンデンサ106に正確に割り当てられず、各サンプリングコンデンサ106の間隔同士で、クロストークが発生すると言う問題点があった。

【0024】すなわち、サンプリングスイッチング素子105のオン期間 $T_{on}$ を1画素に割り当てるべき画素データの期間 $T_D$ に一致させて、この画素データをサンプリングコンデンサ106に残らず送り出し、無駄を生じさせない様にしているが、実際には、配線抵抗や寄生容量等によって、画素データを示す信号波形の変形や遅延が発生し（以下映像信号のなまりと称す）、これらが原因となって、期間 $T_{on}$ と期間 $T_D$ にずれを生じ、このために1つのサンプリングコンデンサ106に割り当てるべき映像信号の画素データが隣接する他のサンプリングコンデンサ106に漏れて、クロストークが発生した。

【0025】例えば、図10に示す回路において、第1共通バスライン131に映像信号の画素データ $D1'$

（図12に示す）を送送すると共に、第2共通バスライン132に映像信号（図12に示す）の画素データ $D6'$ を送送し、シフトレジスタ104から各サンプリング信号 $Sam1'$ 、 $Sam2'$ 、……を送出する場合、映像信号の各画素データ $D1'$ 、 $D6'$ は、実線で示す様な方形波とはならず、各共通バスライン131、132の配線抵抗、オンとなったサンプリングトランジスタ105の抵抗、及びサンプリングコンデンサ106の容量等によ

て、その波形が点線で示す様になまったものとなる。同様に、各サンプリング信号 $Sam1'$ 、 $Sam2'$ 、……も、配線抵抗や各種の寄生容量によって、その波形が点線で示す様になまってしまう。

【0026】このため、サンプリング信号 $Sam1'$ にตอบสนองして、映像信号の画素データ $D1'$ を1番目のサンプリングスイッチング素子105を介して1番目のサンプリングコンデンサ106に書き込んだ直後に、サンプリング信号 $Sam2'$ にตอบสนองして、3番目のサンプリングスイッチング素子105がオンとなったときには、この映像信号の画素データ $D1'$ の斜線部が該サンプリングスイッチング素子105を介して3番目のサンプリングコンデンサ106に書き込まれる。同様に、サンプリング信号 $Sam2'$ の後ろ側のなまりによって、4番目のサンプリングスイッチング素子105のオンが引き延ばされているときには、映像信号の画素データ $D6'$ の斜線部が該サンプリングスイッチング素子105を介して4番目のサンプリングコンデンサ106に書き込まれる。

【0027】この様に映像信号の各画素データ $D1'$ 、 $D2'$ 、 $D3'$ 、……は、それぞれが書き込まれるべき各サンプリングコンデンサ106だけでなく、隣接する他のサンプリングコンデンサ106にも漏れだして書き込まれ、クロストークとなる。このクロストークは、表示画面上で2重映り（ゴースト）や画像の輪郭のぼけとして現れる。

【0028】このクロストークを解決するには、各サンプリング信号を相互に重ねなければ良く、このために例えば図13に示す様な回路が提案されている（特開平5-241536号公報を参照）。

【0029】ここでは、シフトレジスタ104と図7に示す各サンプリングスイッチング素子105の間に、各アンド回路141を配列し、これらのアンド回路141毎に、2つのインバータからなる遅延回路142を設けている。各アンド回路141の一方の入力端子には、シフトレジスタ104からの各信号 $Sam1$ 、 $Sam2$ 、……（図14に示す）が入力され、他方の入力端子には、右隣のアンド回路への信号を各遅延回路142を介して遅延してなる各遅延信号 $DSam1$ 、 $DSam2$ 、……（図14に示す）が入力され、これらのアンド回路141からは、両者の各信号の論理積を示す各サンプリング信号 $SAM1$ 、 $SAM2$ 、……（図14に示す）が出力される。これによって、各サンプリング信号 $SAM1$ 、 $SAM2$ 、……の間には、相互に時間 $T_{Delay}$ が介在することとなる。

【0030】これらのサンプリング信号 $SAM1$ 、 $SAM2$ 、……間の時間 $T_{Delay}$ に、図12に示す映像信号の各画素データの前後のなまりや、サンプリング信号の後ろ側のなまりが入れば、クロストークが発生することはない。

【0031】

【発明が解決しようとする課題】ところが、図13に示す回路構成では、各サンプリング信号間の時間 $T_{Delay}$

が遅延回路142によって決まるので、この遅延回路142を変更しない限り、これらの時間TDelayも変更することができない。このため、アクティブマトリクス型画像表示装置の設計段階で、この時間TDelayを決定せざるを得ず、この後の時間TDelayの調整は不可能となる。

【0032】また、図7、図9及び図10の回路のいずれにおいても、共通バスライン上の映像信号の伝送距離が長い程、つまり信号を入力する部位から離間する程、映像信号の画素データのなまりの程度が大きくなるので、このなまりの最大の程度を見極めて、各サンプリング信号間の時間TDelayを設定せねばならない。この場合は、時間TDelayを長くせざるを得ず、これに伴ってサンプリングスイッチング素子105のオン期間Tonが短くなるので、映像信号の各画素データを各サンプリングコンデンサ106に確実に書き込むことが困難になる。

【0033】また、共通バスライン上の映像信号の伝送距離が長い程、映像信号の各画素データのなまりの程度が大きいと、表示画面の両側で、画像の濃度や解像度が大きく変化する。

【0034】例えば、図10に示す回路において、第1共通バスライン131に映像信号の画素データD1'

(図15に示す)を伝送すると共に、第2共通バスライン132に映像信号(図15に示す)の画素データD4'を伝送する場合、映像信号の画素データD1'は、第1共通バスライン131の信号入力端子に近い部位から読み出されるので、配線抵抗や寄生容量の影響を受け難く、なまりの程度が小さいものの、映像信号の画素データD4'は、第2共通バスライン132の信号入力端子から離間した部位から読み出されるので、配線抵抗や寄生容量の影響を強く受け、なまりの程度が大きくなる。これによって、映像信号の画素データD1'のハイレベルの期間TD1に比較して、映像信号の画素データD4'のハイレベルの期間TD2が短くなり、この映像信号の画素データD4'を書き込む期間が実質的に短くなって、この映像信号の画素データD4'をサンプリングコンデンサ106に正確に書き込めなくなり、画像の濃度が不正確なものとなった。

【0035】また、映像信号の各画素データD1'、D4'の斜線部を比較すると明らかな様に、映像信号の画素データD1'がサンプリング信号Sam2'に反応して読み出されるクロストークの量は、映像信号の画素データD4'がサンプリング信号Sam3'に反応して読み出されるクロストークの量よりも大きくなる。つまり、映像信号の画素データを読み出す部位が共通バスラインの信号入力端子から離間する程、クロストークの量が大きくなる。これによって、表示画面の両側で、画像の解像度が大きく異なってくる。

【0036】この様に従来の各回路では、各サンプリング信号間のオン期間を調整することができなかつたり、

共通バスラインのいずれの部位から映像信号の画素データを取り出すかによって、この映像信号の画素データのなまりの程度が異なるので、表示画面の両側で、画像の濃度や解像度が大きく変化すると言う問題点があった。

【0037】なお、この様な問題点は、図10に示す回路だけでなく、図7や図9に示す回路等においても、同様に発生する。

【0038】そこで、この発明は、この様な従来技術の課題を解決するものであって、各サンプリング信号間のオン期間を調整することができ、表示画面の両側で、画像の濃度や解像度が同一となるアクティブマトリクス型画像表示装置を提供することを目的とする。

【0039】

【課題を解決するための手段】上記課題を解決するために、第1発明は、映像信号の各画素データをサンプリング信号に同期してサンプリングし、これらの画素データを各データバスラインに供給するアクティブマトリクス型画像表示装置において、サンプリング信号の各オン期間の間に時間間隔を設け、この時間間隔を外部からの制御信号に応じて制御している。

【0040】この様な構成によれば、サンプリング信号の各オン期間の間に時間間隔を設けているので、画素データの信号になまりが発生しても、この影響が各時間間隔によって排除され、クロストークが低減される。

【0041】また、これらの時間間隔は、外部からの制御信号によって調整することができ、これによって様々な時間間隔を設定したり、連続的に変化させることが可能となる。サンプリングされるまでの画素データの伝送距離が映像信号を供給する配線上で長い程、画素データのなまりの程度が大きくなるので、画素データの伝送距離が長い程、時間間隔を長くすれば、画素データの伝送距離にかかわらず、画素データのなまりを排除することができ、クロストークの低減を図ることができる。更に、サンプリング信号のオン期間を映像信号の画素データの期間よりも短くし、この画素データの期間の終了までに終了させれば、画素データのなまりをより排除することができる。

【0042】次に、第2発明は、映像信号の各画素データをサンプリング信号に同期してサンプリングし、これらの画素データを各データバスラインに供給するアクティブマトリクス型画像表示装置において、映像信号の画素データの期間が複数種存在している。

【0043】この様な構成によれば、映像信号の画素データの期間を長くしたり、短くすることができる。例えば、サンプリングされるまでの画素データの伝送距離が映像信号を供給する配線上で長い程、画素データのなまりの程度が大きくなるので、画素データの伝送距離が長い程、画素データを長くすれば、画素データの伝送距離にかかわらず、画素データのサンプリングの不確実性を改善できる。



【0044】次に、第3発明は、映像信号の各画素データをサンプリング信号に同期してサンプリングし、これらの画素データを各データバスラインに供給するアクティブマトリクス型画像表示装置において、サンプリング信号のオン期間が複数存在している。

【0045】この様な構成によれば、サンプリング信号のオン期間を長くしたり、短くすることができる。例えば、サンプリングされるまでの画素データの伝送距離が映像信号を供給する配線上で長い程、画素データのなまりの程度が大きくなるので、画素データの伝送距離が長い程、サンプリング信号のオン期間を長くすれば、画素データの伝送距離にかかわらず、画素データのサンプリングの不確実性を改善することができる。

【0046】

【発明の実施の形態】以下、この発明の実施形態を添付図面を参照して説明する。

【0047】図1は、この発明のアクティブマトリクス型画像表示装置の一実施形態を示している。この実施形態の装置では、図7に示す従来の装置におけるシフトレジスタ104と各サンプリングスイッチング素子105の間に、各アンド回路1を挿入し、パルス幅制御ライン2を増設している。また、共通バスライン107の代わりに、第1共通バスライン3及び第2共通バスライン4を設け、奇数番目の各サンプリングスイッチング素子105を第1共通バスライン3に接続すると共に、偶数番目の各サンプリングスイッチング素子105を第2共通バスライン4に接続して、隣接する奇数番目と偶数番目の2つのサンプリングスイッチング素子105を1組とし、各組をそれぞれのアンド回路1に対応させ、奇数番目と偶数番目の2つのサンプリングスイッチング素子105に同一のアンド回路1からの出力を加えている。

【0048】各サンプリングスイッチング素子105は、電界効果型トランジスタであって、それぞれのソースが第1共通バスライン3又は第2共通バスライン4に接続されると共に、それぞれのドレインが各データバスライン108及び各サンプリングコンデンサ106に接続されている。

【0049】シフトレジスタ104は、図2に示す様なスタートパルスSP、クロック信号CK、及び反転クロック信号 $\overline{\text{CK}}$ を入力し、このスタートパルスSPをクロック信号CK及び反転クロック信号 $\overline{\text{CK}}$ に同期して順次転送し、これに伴って各信号Sam1, Sam2, ……を各アンド回路1に順次送出する。

【0050】各アンド回路1は、図3に示す様な各信号Sam1, Sam2, ……を順次入力すると共に、パルス幅制御ライン2からのパルス幅制御信号CNTを入力し、各信号Sam1, Sam2, ……とパルス幅制御信号CNTの各論理積を順次求めて、これらの論理積である各サンプリング信号SAM1, SAM2, ……を順次出力する。

【0051】1番目のアンド回路1は、信号Sam1とパル

ス幅制御信号CNTの論理積を求め、この論理積であるサンプリング信号SAM1を1組目の奇数番目と偶数番目の2つのサンプリングスイッチング素子105に加える。この後、2番目のアンド回路2は、信号Sam2とパルス幅制御信号CNTの論理積を求め、この論理積であるサンプリング信号SAM2を2組目の奇数番目と偶数番目の2つのサンプリングスイッチング素子105に加える。以降同様に、3番目、4番目、……、n番目の各アンド回路2は、各サンプリング信号SAM3, SAM4, ……、SAMnを3組目、4組目、……、n組目の2つのサンプリングスイッチング素子105に順次加える。

【0052】図3から明らかな様に、パルス幅制御信号CNTは、ハイレベルの各オン期間Tonと、これらのオン期間Tonの間に設けられたローレベルの各時間間隔Toffを有し、間欠的にハイレベルとなるので、このパルス幅制御信号CNTと各信号Sam1, Sam2, ……の論理積である各サンプリング信号SAM1, SAM2, ……も、ハイレベルの各オン期間Tonと、ローレベルの各時間間隔Toffを有する。

【0053】一方、第1及び第2共通バスライン3, 4には、図11に示す第1及び第2共通バスライン131, 132に伝送されるものと同様に、映像信号の各画素データD1', D2', D3', ……を振り分けて伝送する。

【0054】例えば、第1共通バスライン3には、図3に示す様な映像信号の画素データD1'を伝送すると共に、第2共通バスライン4には、映像信号の画素データD6'を伝送する。

【0055】パルス幅制御ライン2のパルス幅制御信号CNTのオン期間Tonは、第1及び第2共通バスライン3, 4の映像信号の各画素データD1', D6'のものよりも狭く、これらの画素データD1', D6'の略中央に位置し、これらの画素データD1', D6'の期間内に入る。したがって、各サンプリング信号SAM1, SAM2, ……も、各画素データD1', D6'の略中央に位置し、これらの画素データD1', D6'の期間内に入る。各サンプリングスイッチング素子105は、これらのサンプリング信号SAM1, SAM2, ……を入力してオンとなり、オンとなっている期間に各画素データをサンプリングするので、これらの画素データの中央付近のみをサンプリングすることになる。

【0056】ここで、図4に示す様に映像信号の画素データD1'に点線で示すなまりが発生したとする。この場合、画素データD1'のなまりの長さがパルス幅制御信号CNTの時間間隔Toffの1/2未満であれば、この画素データD1'のなまりが時間間隔Toffに発生するので、1組目の2つのサンプリングスイッチング素子105は、この時間間隔Toffのときの画素データD1'のなまりをサンプリングせず、パルス幅制御信号CNTのオン期間Tonのときに、この画素データD1'の略中央付近のみ（この付近は画素データの正確な値を示す）をサンプリング

して、この画素データD1'をサンプリングコンデンサ106に書き込む。勿論、映像信号の他の画素データについても、画素データD1'と同様のことが言える。

【0057】また、図4に示す様にサンプリング信号SAM2点線で示すなまりが発生したとする。この場合は、サンプリング信号SAM2のなまりの長さがパルス幅制御信号CNTの時間間隔T<sub>off</sub>の1/2未満であれば、このなまりによって2組目の2つのサンプリングスイッチング素子105がオンとなっても、このなまりが発生しているときには、映像信号の画素データD6'がローレベルであるため、この画素データD3'がサンプリングされることはない。

【0058】勿論、他の各サンプリング信号についても、サンプリング信号SAM2と同様のことが言える。

【0059】すなわち、配線抵抗や寄生容量によって、映像信号やサンプリング信号になまりが発生したとしても、このなまりの長さがパルス幅制御信号CNTの時間間隔T<sub>off</sub>の1/2未満であれば、映像信号の各画素データを正確にサンプリングすることができ、クロストークを抑制して、表示画面上のゴーストや画像の輪郭のぼけを生じる不具合がなくなる。

【0060】また、パルス幅制御ライン2のパルス幅制御信号CNTは、このアクティブマトリクス型画像表示装置の外部から供給されるものなので、このパルス幅制御信号CNTの時間間隔T<sub>off</sub>の長さを自在に変更することができる。このため、映像信号やサンプリング信号のなまりの程度に応じて、この時間間隔T<sub>off</sub>を増減し、クロストークを抑制することと、映像信号の各画素データを確実にサンプリングすることとの間で、均衡を図ることができる。

【0061】更に、各走査の周期の度に、パルス幅制御信号CNTの時間間隔T<sub>off</sub>の長さを変更しても構わない。つまり、第1及び第2共通バスライン3、4上の映像信号の各画素データの伝送距離が長い程、この映像信号の各画素データのなまりが大きくなるので、各走査毎に、この映像信号の各画素データの伝送距離が長い程、パルス幅制御信号CNTの時間間隔T<sub>off</sub>を徐々に長くして、映像信号の各画素データのなまりをサンプリングしない様にする。

【0062】また、パルス幅制御信号CNTの時間間隔T<sub>off</sub>の長さの変更だけでなく、映像信号の各画素データに対する該パルス幅制御信号CNTのオン期間T<sub>on</sub>の位置、つまり発生タイミングや、オン期間T<sub>on</sub>の長さを変更しても良い。

【0063】なお、ここでは、図7に示す従来の装置と同様に、点順次方式の装置を例示しているが、線順次方式であっても、この実施形態を適用することができる。また、共通バスラインの数は、1本であっても、3本以上であっても良く、この共通バスラインの数に応じて、シフトレジスタの出力数と各アンド回路の数を増減する

と共に、1つのアンド回路に対する各サンプリングスイッチング素子の数を増減し、クロック信号CKやパルス幅制御信号CNTの周期を変更すれば良い。

【0064】また、シフトレジスタ、各アンド回路を組み合わせて、各サンプリング信号SAM1、SAM2、……を形成しているが、他の回路構成によって、これらのサンプリング信号を形成しても構わない。

【0065】図5及び図6は、上記実施形態の変形例を示すタイミングチャートである。ここでは、映像信号の各画素データD1'、D2'、……の長さを変更し、クロック信号CKの周期を変更し、かつパルス幅制御信号CNTの周期を変更している。

【0066】第1共通バスライン3上の奇数番目の各画素データD1'、D3'、……は、その周期（1画素に割り当てられる映像信号の期間）が徐々に長くなっており、後方の画素データ程、つまり伝送距離が長い程、画素データの期間を長くしている。同様に、第2共通バスライン4上の偶数番目の各画素データD2'、D4'、……も、その周期が徐々に長くなり、その伝送距離が長い程、画素データの期間を長くしている。

【0067】また、映像信号の奇数番目及び偶数番目の全ての各画素データD1'、D2'、D3'、……の周期は、連続的に徐々に長くなっている。

【0068】クロック信号CKは、第1及び第2共通バスライン3、4上の各画素データD1'、D2'、D3'、……と同様に、その周期が徐々に長くなっている。ただし、このクロック信号CKのデューティ比は、変化していない。

【0069】シフトレジスタ104は、このクロック信号CKに同期して、各信号Sam1、Sam2、……を形成するので、これらの信号Sam1、Sam2、……の周期も、徐々に長くなっている。

【0070】パルス幅制御信号CNTは、第1及び第2共通バスライン3、4上の各画素データD1'、D3'、……と同様に、その周期が徐々に長くなっている。また、このパルス幅制御信号CNTの各オン期間T<sub>on</sub>は、全く代わらず、各時間間隔T<sub>off</sub>のみが徐々に長くなっている。したがって、このパルス幅制御信号CNTの場合は、そのデューティ比が徐々に変化している。

【0071】各アンド回路1は、各信号Sam1、Sam2、……を順次入力すると共に、パルス幅制御ライン2からのパルス幅制御信号CNTを入力し、各信号Sam1、Sam2、……とパルス幅制御信号CNTの各論理積を順次求めて、これらの論理積である各サンプリング信号SAM1、SAM2、……を各組の2つのサンプリングスイッチング素子105に順次加える。

【0072】ここで、パルス幅制御信号CNTの各オン期間T<sub>on</sub>は、第1及び第2共通バスライン3、4の映像信号の各画素データD1'、D2'、D3'、……のものよりも短く、これらの画素データD1'、D2'、D3'、……の所

定の位置、つまり画素データの立上時点からオン期間 $T_{on}$ までの時間と、オン期間 $T_{on}$ から立ち下がり時点までの時間の比が常に一定となる位置を占める。したがって、伝送距離が長く、画素データの期間が長くなる程、画素データの立上時点からオン期間 $T_{on}$ までの時間が長くなっている。同様に、画素データの期間が長い程、オン期間 $T_{on}$ から画素データの立ち下がり時点までの時間も長くなっている。

【0073】この様なパルス幅制御信号CNTの各オン期間 $T_{on}$ と同一タイミングの各サンプリング信号SAM1, SAM2, ……によって、画素データをサンプリングすれば、伝送距離が長くなるにつれて、画素データの前側のなまりが大きくなっても、この画素データの前側のなまりを排除することができる。

【0074】また、伝送距離が長くなるにつれて、画素データのなまりが大きくなっても、各サンプリング信号SAM1, SAM2, ……によって、画素データの最も高い値、つまり正確な値をサンプリングすることができる。しかも、各サンプリング信号SAM1, SAM2, ……によるサンプリングの期間は、全く変わらないので、サンプリングをむらなく行うことができる。

【0075】これによって、表示画面上の画像の濃度が正確なものとなる。

【0076】また、映像信号の画素データ $D1'$ に点線で示す後ろ側のなまりが発生した場合、画素データ $D1'$ の後ろ側のなまりの長さがパルス幅制御信号CNTの時間間隔 $T_{off}$ に入るので、この後ろ側のなまりがサンプリングされることはない。

【0077】更に、サンプリング信号SAM2に点線で示す後ろ側のなまりが発生しているときには、映像信号の画素データ $D6'$ がローレベルであるため、この画素データ $D6'$ がサンプリングされることはない。

【0078】これによって、クロストークを抑制し、表示画面の両側における画像の解像度を一様なものとすることができる。

【0079】すなわち、伝送距離が長くなる程、映像信号の各画素データを長くすると共に、パルス幅制御信号CNTの各時間間隔 $T_{off}$ を徐々に長くし、かつパルス幅制御信号CNTの各オン期間 $T_{on}$ を一定に維持して、これらのオン期間 $T_{on}$ を映像信号の各画素データの所定の位置に置くことにより、画像の濃度を正確なものとし、またクロストークを抑制して、画像の解像度を一様なものとし、高品位の表示画面を実現している。

【0080】なお、ここでは、各サンプリング信号SAM1, SAM2, ……のオン期間 $T_{on}$ が全く代わらず、時間間隔 $T_{off}$ のみが徐々に長くなっているが、この時間間隔 $T_{off}$ が徐々に長くなっていく割合を低減し、その分だけ、オン期間 $T_{on}$ を徐々に長くしても良い。この様に各サンプリング信号SAM1, SAM2, ……のオン期間 $T_{on}$ を徐々に長くすれば、画素データの伝送距離にかかわらず、画素

データのサンプリングの不確実性を改善することができる。勿論、各サンプリング信号SAM1, SAM2, ……のオン期間 $T_{on}$ の制御は、パルス幅制御信号CNTによって行われる。

#### 【0081】

【発明の効果】以上説明した様に、この発明によれば、サンプリング信号の各オン期間の間に時間間隔を設け、この時間間隔を外部からの制御信号に応じて制御している。

【0082】また、映像信号の画素データの期間が複数種存在している。更に、サンプリング信号のオン期間が複数種存在している。

【0083】これらのサンプリング信号のオン期間や時間間隔、及び画素データの期間を画素データのなまりの程度に応じて適宜に設定すれば、これによって、画像の濃度を正確なものとし、またクロストークを抑制して、画像の解像度を一様なものとし、高品位の表示画面を実現することができる。

#### 【図面の簡単な説明】

【図1】この発明のアクティブマトリクス型画像表示装置の一実施形態を部分的に示す回路図

【図2】図1の装置におけるシフトレジスタの入出力を示すタイミングチャート

【図3】図1の装置における映像信号、パルス幅制御信号及び各サンプリング信号を示すタイミングチャート

【図4】図1の装置の作用を説明するために用いたタイミングチャート

【図5】図1の装置における映像信号、パルス幅制御信号及び各サンプリング信号の他の例を示すタイミングチャート

【図6】図5の例の場合の作用を説明するために用いたタイミングチャート

【図7】従来のアクティブマトリクス型画像表示装置の一例を示す回路図

【図8】図7の装置における映像信号、及び各サンプリング信号を示すタイミングチャート

【図9】従来のアクティブマトリクス型画像表示装置の他の例を示す回路図

【図10】従来のアクティブマトリクス型画像表示装置の別の例を示す回路図

【図11】図10の装置における映像信号、及び各サンプリング信号を示すタイミングチャート

【図12】図10の装置の作用を説明するために用いたタイミングチャート

【図13】従来のアクティブマトリクス型画像表示装置の更に他の例を示す回路図

【図14】図13の装置におけるシフトレジスタの出力、各遅延回路の出力及び各アンド回路の出力を示すタイミングチャート

【図15】図14の装置の作用を説明するために用いた

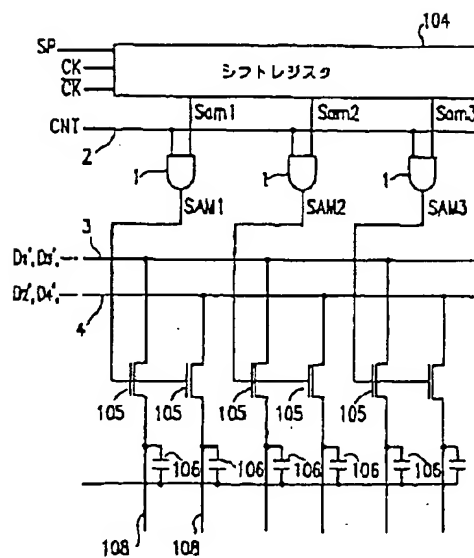
## タイミングチャート

## 【符号の説明】

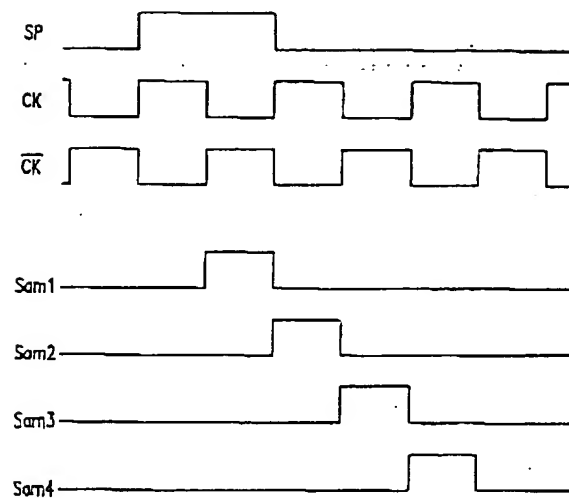
- 1 アンド回路
- 2 パルス幅制御ライン
- 3 第1共通バスライン
- 4 第2共通バスライン
- 101 データバスライン駆動回路
- 102 走査信号駆動回路
- 103 表示部
- 104 シフトレジスタ

- 105 サンプリングスイッチング素子
- 106 サンプリングコンデンサ
- 107 共通バスライン
- 108 データバスライン
- 109 ゲートバスライン
- 111 画素
- 112 薄膜トランジスタ
- 113 画素容量
- 114 補助容量

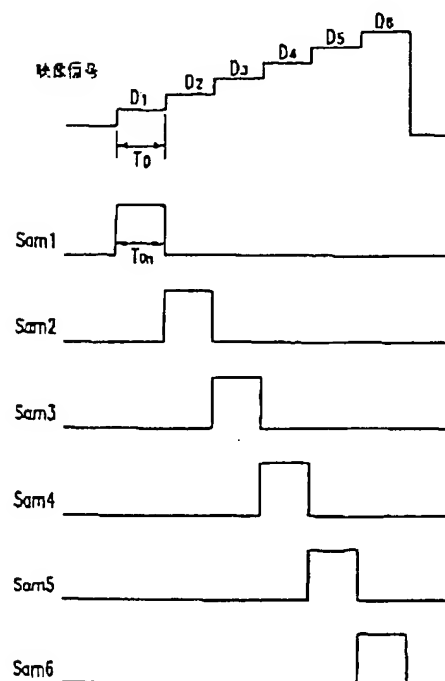
【図1】



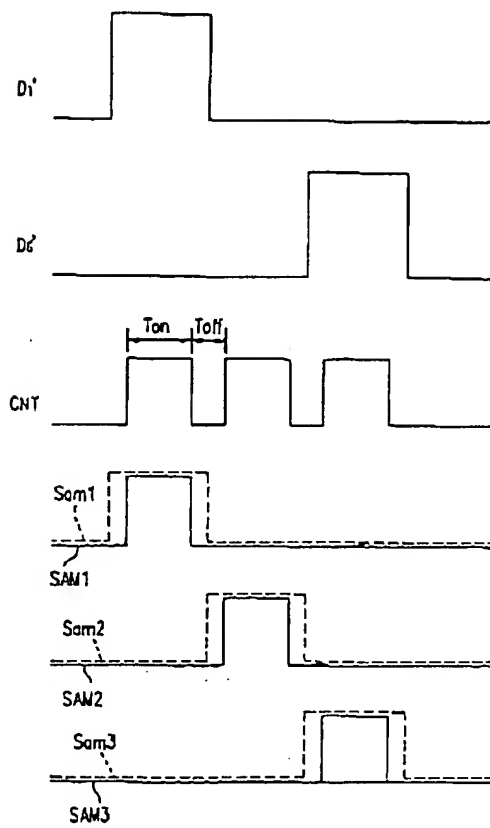
【図2】



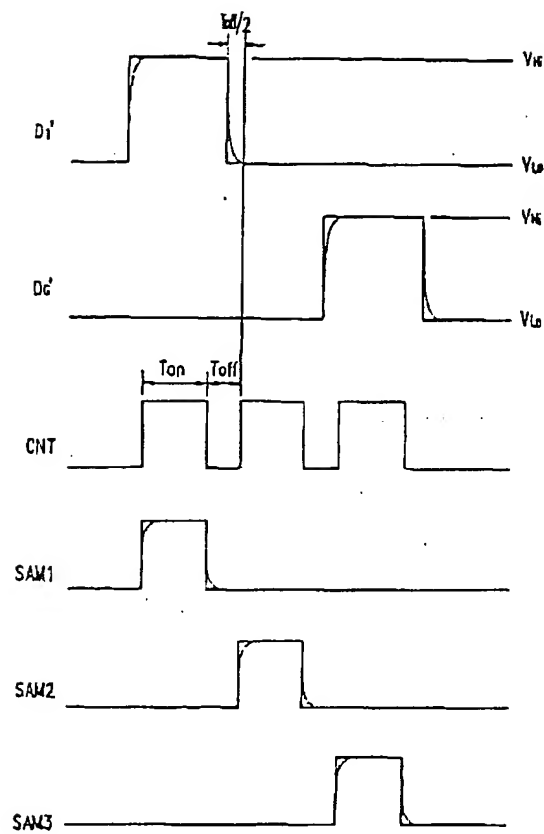
【図8】



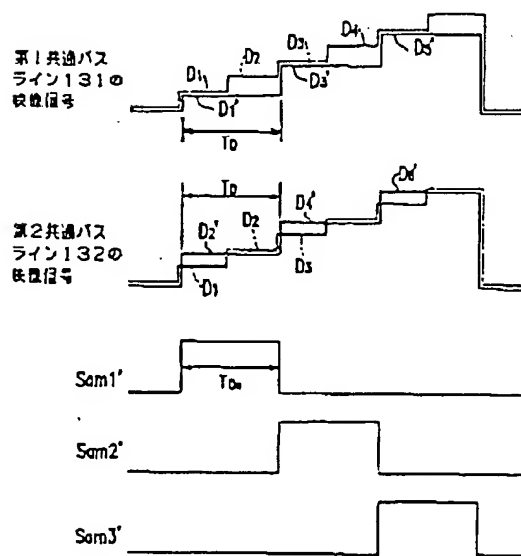
【図3】



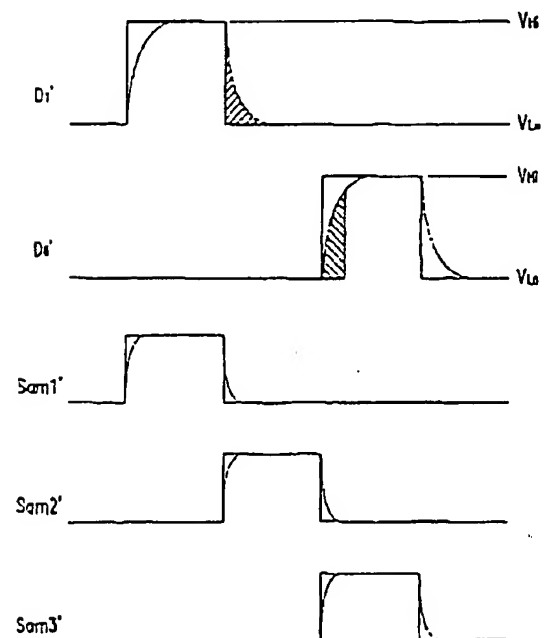
【図4】



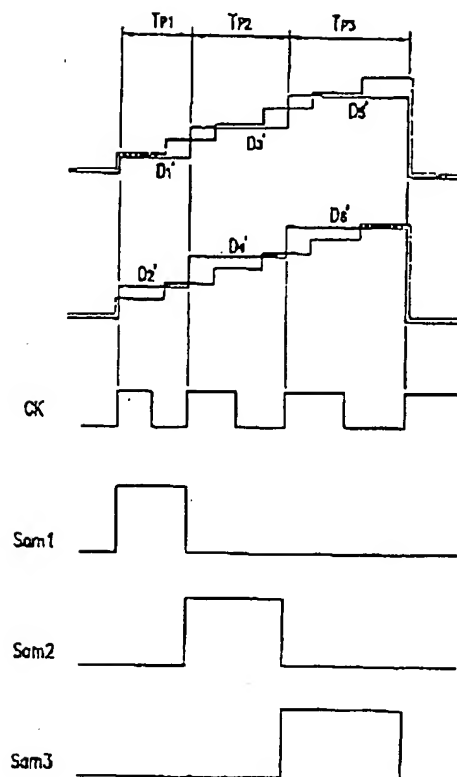
【図11】



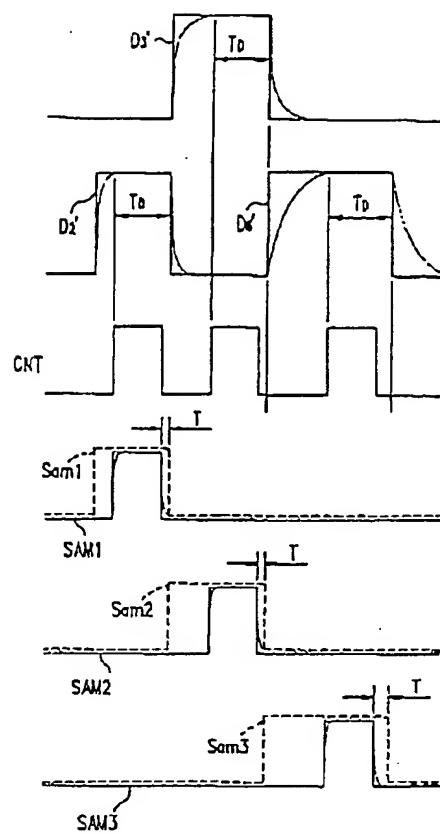
【図12】



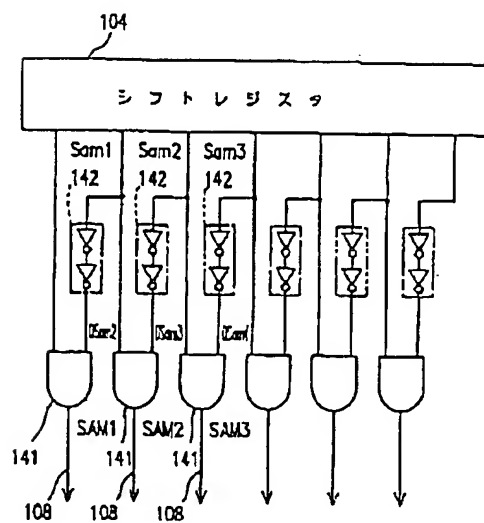
【図5】



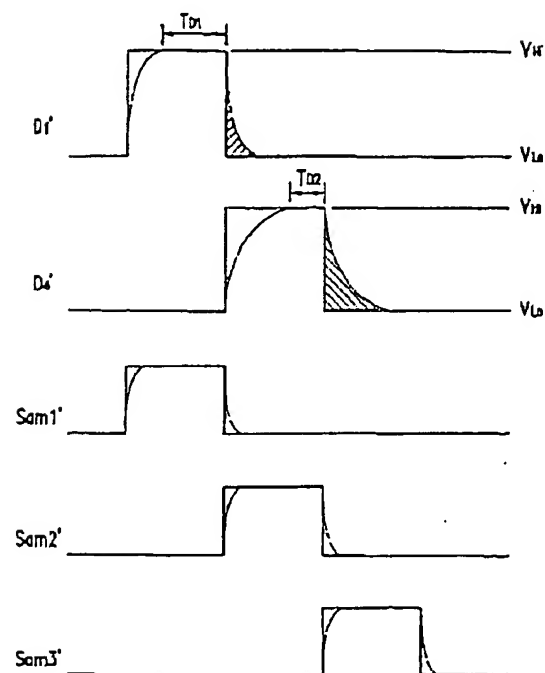
【図6】



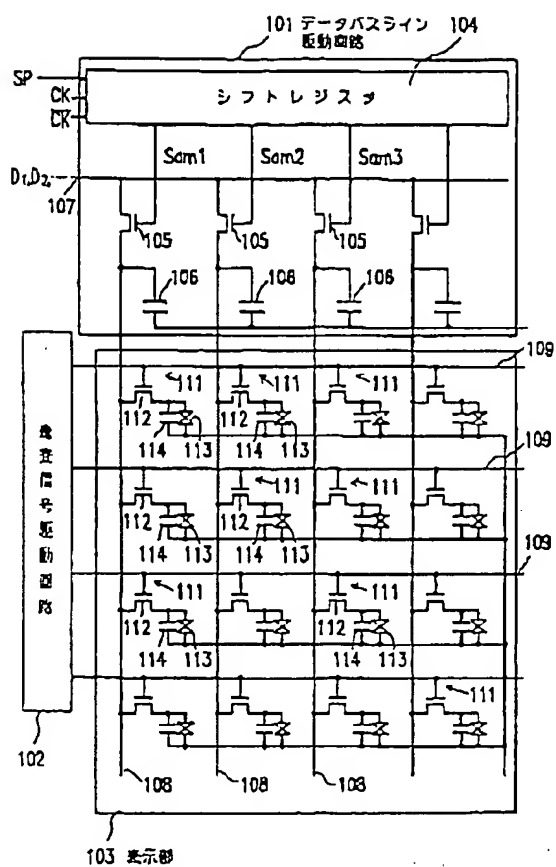
【図13】



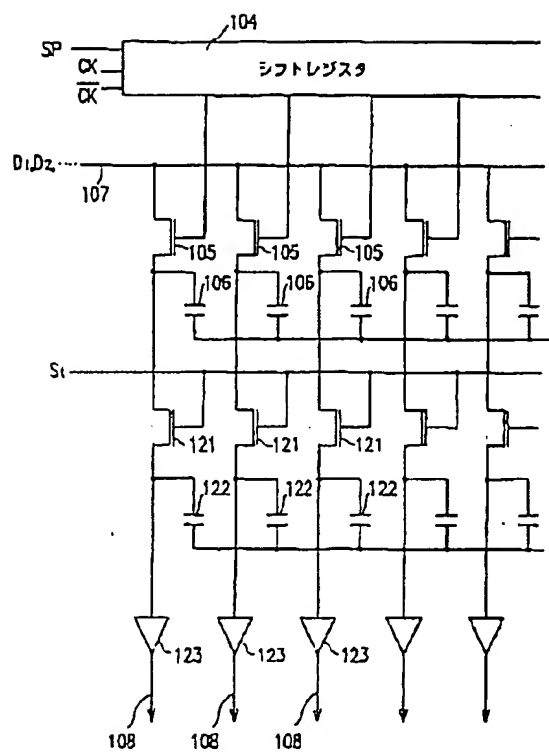
【図15】



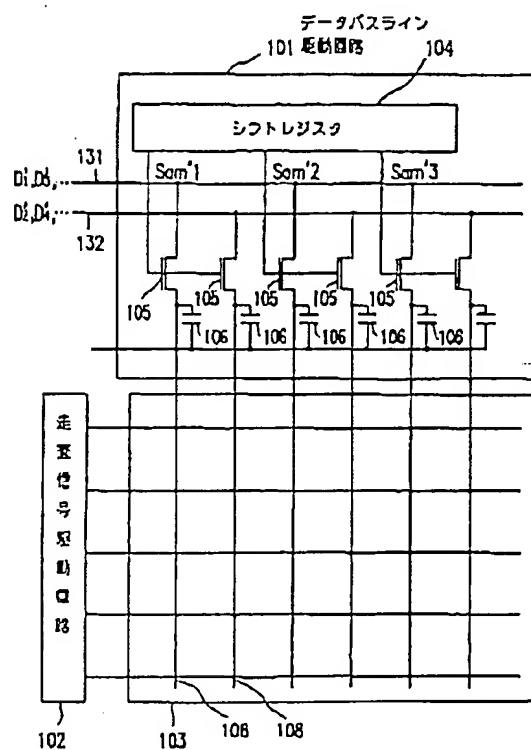
【圖 7】



【图9】



【510】



【図14】

